

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2001-524266

(P2001-524266A)

(43) 公表日 平成13年11月27日 (2001.11.27)

(51) IntCl. ¹	識別記号	FI	テマコード (参考)
H01L 29/06		H01L 29/06	
21/8247		27/10	451
27/10	451	29/78	301J
29/78			371
29/788			

審査請求 未請求 予備審査請求 有 (全 16 頁) 最終頁に続く

(21) 出願番号 特願平10-547780
 (86) (22) 出願日 平成10年5月4日 (1998.5.4)
 (85) 翻訳文提出日 平成11年11月5日 (1999.11.5)
 (86) 国際出願番号 PCT/FR98/00889
 (87) 国際公開番号 WO98/50958
 (87) 国際公開日 平成10年11月12日 (1998.11.12)
 (31) 優先権主張番号 97/06506
 (32) 優先日 平成9年5月5日 (1997.5.5)
 (33) 優先権主張国 フランス (FR)
 (81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, US

(71) 出願人 コミッサリア タ レネルジー アトミック
 フランス国 F-75015 パリ, リュ ド
 ウラ フェデラシオン 31/33
 (72) 発明者 ゴーティエ, ジャック
 フランス国 F-38500 クーブルビー,
 リュ デ ミオソティス 7
 (72) 発明者 マルタン, フランソワ
 フランス国 F-38000 グルノーブル,
 リュ ドクトワール キャルメット 17
 (74) 代理人 弁理士 國田 官隆 (外1名)

(54) 【発明の名称】 量子アイランドに基づく装置および製造方法

(57) 【要約】

本発明は、クーロン・ブロッキング現象を利用した量子効果デバイスであって、一第1と第2の電子リザーバ (12, 14) と、一絶縁層によって隔離された少なくとも第1と第2のアイランド群 (16, 18) と、一絶縁保護層 (20) と側面電極 (22) とを有するデバイスに関する。

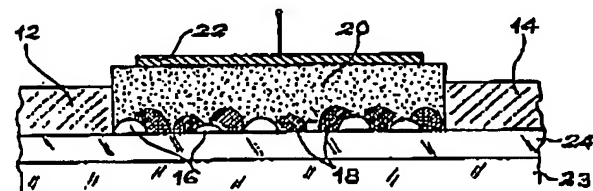


FIG. 3

(2)

特表2001-524266

【特許請求の範囲】

1. 一第1と第2の電子リザーバ(12,14)と、
一絶縁層によって互いに隔離された、少なくとも1つの第1のアイランド群と少なくとも1つの第2のアイランド群と、
一絶縁保護層(20)と、制御電極(22)と
を有することを特徴とするクーロン・ブロッキング現象を利用した量子効果装置。
。
2. ソース(12)と、ドレン(14)と、グリッド(22)と、チャンネルグリッドの間に分布し、同一平面に形成され互いに絶縁層によって隔離された第1と第2のアイランド群(16,18)と、前記2群のアイランドを被覆する絶縁保護層(20)とを有するトランジスタ。
3. N(Nは2より大きい数)組のアイランド群を有し、最上層のものを除いて各アイランド群は、トンネル絶縁層によって隣接するアイランド群と絶縁されていることを特徴とする請求項1または2に記載の量子効果装置。
4. 前記請求項1の量子効果装置、請求項2のトランジスタ、または請求項3の装置のいずれかを有する記憶素子。
5. 制御電極(22)に印加された電圧を制御する手段と、電子リザーバを流れる電流を測定する手段とを有することを特徴とする請求項4に記載の記憶素子。
6. a) 第1と第2の電子リザーバ(12,14)を形成する工程と、
b) 第1の導電性粒子またはアイランド(16)群を形成する工程と、
c) 前記アイランド群の上に非導電性のトンネル絶縁層を形成する工程と、
d) 非導電性のトンネル絶縁層の上に、アイランド群が同一平面上に位置するように他の導電性粒子またはアイランド(18)群を形成する工程とを有することを特徴とする量子効果装置またはマイクロ電子装置の製造方法。
7. a) ソース(12)とドレン(14)と、ソースとドレンの間にチャンネルを形成する工程と、
b) 第1の導電性アイランド(16)群を形成する工程と、
c) 前記アイランド群の上に非導電性のトンネル絶縁層を形成する工程と、

(3)

特表2001-524266

d) 非導電性のトンネル絶縁層の上に、アイランド群が同一平面上に位置するように他の導電性粒子またはアイランド (18) 群を形成する工程とを有することを特徴とするトランジスタの製造方法。

8. 工程 c) と d) をN回繰り返すことを特徴とする請求項6または7に記載された量子効果装置またはマイクロ電子装置の製造方法。

9. さらに絶縁保護層 (20) と制御グリッド (22) の形成工程を含むことを特徴とする請求項6ないし8のいずれかに記載の量子効果装置またはマイクロ電子装置の製造方法。

(4)

特表2001-524266

【発明の詳細な説明】

量子アイランドに基づく装置および製造方法

技術分野

本発明はクーロン・ブロッキング現象を利用した量子効果に関する。特に、シリコン基板上に製造される超高密度の記憶および論理回路構成に関する。

背景技術

例えば、この種の装置の原理と可能性は「室温における電子1つの記憶装置」と題したK. Yano他による電子デバイスに関するIEEE論文集、第41巻、第9号、ページ1628-1638、1994年に記載されている。

クーロン・ブロッキング現象は、周囲から絶縁され、トンネル効果による弱い接続を有する導体アイランドにおいて発生する。この現象を室温に近い温度で利用するには、それぞれのアイランドの電気容量の合計は1アトファラッド程度でなければならず、このことは、小さすぎないトンネル電流が流れるためには、アイランドの大きさが1ナノメートルのオーダーでなければならないことを意味する。

大きさが10nm以上の導体アイランドは、すでに従来のリソエッチング法によって、大きさの限界ではあるが製造されている。しかし、この種の方法によって数ナノメートルのものを製造することは不可能である。

この問題を解決するための方法のひとつに、導体の微小粒子を絶縁体層上に、たとえばCVD法または蒸着によって堆積させる方法があり、この方法は、例えば、W. Chen他による「平行ナノ構造中のナノスケール金属アイランドの77度Kにおけるクーロン・ブロッキング」と題する応用物理学レター、第66巻、第24号、ページ3383-3384、1995年に記載されている。

最終的にアイランドが設けられた（線状または長方形の）領域はリソエッチング法（例えばリフトオフ）によって画定される。これによって得られた構造を図1に模式的に示す。この図では、ナノメートル規模のアイランド6を間に挟むよう設けた電子リザーバ（例えば、トランジスタのソースとドレンである）が番号2と4で示されている。

この方法の大きな欠点は、アイランド6の位置がランダムであり、その結果、

(5)

特表2001-524266

異なるアイランドのトンネル電流が広範囲に分布していることである。アイラン

ドが形成された領域の両側に設けた電極間の総電流はアイランドの密度に非常に敏感で、サンプル毎のばらつきが大きい。

発明の開示

本発明の目的は、従来の方法によった場合に比較して均一な特性、特に電流、を得ることのできるアイランドを製造することである。

本発明が対象とするものは、クーロン・ブロッキング現象を利用した量子効果装置であって、

- ー第1と第2の電子リザーバと、
- ー絶縁層によって隔離された少なくとも第1と第2のアイランド群と、
- ー絶縁保護層と制御グリッドとを有する装置である。

本発明の他の対象は、ソースとドレンとグリッドを有し、ソースとドレンを接続するチャンネルと、チャンネルとグリッドの間に分散され、絶縁層によって隔離された第1と第2のアイランド群と、2組のアイランド群を覆う絶縁保護層とを有するトランジスタである。

したがって、本発明に従って、粒子間の空間を、好ましくは均一で制御された厚さの絶縁層（または、電流のレベル（トンネル効果）を決定するトンネル隔離層）によって満たし、空間の残り部分を粒子の第2の堆積によって満たす。アイランドの堆積を連続して行うことによって単一層のアイランドが形成される。

もし、トンネル絶縁層で覆われた第1群の粒子相互の距離が粒子サイズと同程度であれば、均一の電気的特性を得るためには粒子を引き続き2回堆積させることで十分である。

粒子間の距離が粒子の大きさよりも大きい場合は、（最終回の堆積の場合を除いて）その度ごとにトンネル絶縁層によって覆いながら、粒子の堆積を4～5回程度行う。好ましくは、トンネル絶縁層の厚さは同じである。

したがって、本発明は、ソースとドレンと、最上層以外の層はそれぞれトンネル絶縁層によって被覆された、 n は2以上である n 層の連続した層状のアイランドとを有するマイクロ電子デバイスに関するものである。

(6)

特表2001-524266

本発明は、量子効果デバイスの電子リザーバの間、または、トランジスタやマイクロ電子デバイスのソースとドレンの間に設けられた導電性アイランドま

たは粒子の電気的特性を改善する。

本発明によって、アイランドの位置は依然としてランダムであるがアイランドを隔離する絶縁層厚の均一性、したがってトンネル電流の均一性を向上させる。

本発明に係る量子効果デバイスでは、トンネル電流のレベルは関連するバリアの厚さに関して指数関数的に変化する。アイランド周囲の絶縁体を均一にすることがトンネル電流の改善をもたらす。

したがって、本発明による構造（クーロン・ブロッキング現象に基づく量子効果デバイス、トランジスタまたはマイクロ電子デバイス）は、好ましくは厚さが十分に制御された、絶縁体によって互いに隔てられたアイランドまたは粒子を有し、これによって粒子間のトンネル電流の均一性を向上させる。絶縁体の層厚を制御することによってトンネル電流の均一性が得られる。

本発明の他の対象は、上述のデバイスまたはトランジスタを利用した記憶素子である。

本発明の他の対象は、クーロン・ブロッキング現象を利用して作動するマイクロ電子デバイス、トランジスタまたは量子効果デバイスの製造方法であって、

- a) 第1と第2の電子リザーバの形成ステップと、
- b) 第1の導電性粒子またはアイランド群を形成するステップと、
- c) 第1の導電性粒子またはアイランド群の上に絶縁層を形成するステップと

d) 絶縁層の上に、他の導電性粒子またはアイランド群を形成するステップとを有する製造方法である。

ステップc) とd) とはN回繰り返すことができる。

(6)

特表2001-524266

本発明は、量子効果デバイスの電子リザーバの間、または、トランジスタやマイクロ電子デバイスのソースとドレンの間に設けられた導電性アイランドま

たは粒子の電気的特性を改善する。

本発明によって、アイランドの位置は依然としてランダムであるがアイランドを隔離する絶縁層厚の均一性、したがってトンネル電流の均一性を向上させる。

本発明に係る量子効果デバイスでは、トンネル電流のレベルは関連するバリアの厚さに関して指数関数的に変化する。アイランド周囲の絶縁体を均一にすることがトンネル電流の改善をもたらす。

したがって、本発明による構造（クーロン・ブロッキング現象に基づく量子効果デバイス、トランジスタまたはマイクロ電子デバイス）は、好ましくは厚さが十分に制御された、絶縁体によって互いに隔てられたアイランドまたは粒子を有し、これによって粒子間のトンネル電流の均一性を向上させる。絶縁体の層厚を制御することによってトンネル電流の均一性が得られる。

本発明の他の対象は、上述のデバイスまたはトランジスタを利用した記憶素子である。

本発明の他の対象は、クーロン・ブロッキング現象を利用して作動するマイクロ電子デバイス、トランジスタまたは量子効果デバイスの製造方法であって、

- a) 第1と第2の電子リザーバの形成ステップと、
- b) 第1の導電性粒子またはアイランド群を形成するステップと、
- c) 第1の導電性粒子またはアイランド群の上に絶縁層を形成するステップと

d) 絶縁層の上に、他の導電性粒子またはアイランド群を形成するステップとを有する製造方法である。

ステップc)とd)とはN回繰り返すことができる。

このようにして得られたアセンブリを次に絶縁保護層と制御繰り返し度で被覆する。

図面の簡単な説明

本発明の特徴と長所とは以下の記載によって一層明瞭になるはずである。以下

(7)

特許2001-524266

に本発明を、限定的に解釈すべきでない具体例として添付した図面を参照して説明する。

一図1は、従来技術によって製造されたものの構造を模式的に示す図である。

一図2と3は、本発明に基づくデバイスの平面図と側面図である。

発明の実施例の詳細な説明

本発明にかかるデバイスの平面図を図2に示す。

クーロン・ブロッキング効果によって作動する量子効果デバイス10の第1と第2の電子リザーバを12, 14で示す。例えば、この電子リザーバは、トランジスタ型の構造またはマイクロ電子デバイスのドレンとソースを構成する。

この2つのリザーバの間には、1群の導電性アイランドまたは粒子16, 18が設けられている。アイランドまたは粒子の大きさは約1ナノメートル（例えば、1から10nmの間、または、1から5nmの間）である。この1群のアイランドまたは粒子は、実際は、絶縁層によって隔離された第1のサブセット16と第2のサブセット18から構成される。

したがって、アイランド間の空間は、統計的には1つの堆積と次の堆積の間に満たされるか減少している。

第1のサブセットに属するアイランド16または粒子の間の空間は、絶縁層で被覆する際に部分的に満たされ、次に残りの空間がアイランド18または粒子の堆積によって満たされる。

絶縁または非導電性層は、導電性材料の特徴に基づき従来法によって形成することができる。たとえば、導電性材料の酸化や窒化あるいは絶縁材料の堆積である。

好ましくは、絶縁層の層厚は以下の要素の関数として決定される。

ートンネル電流が十分大きくなるように薄い層厚であること。

ー絶縁層による等価トンネル抵抗が $h/e^2 = 25k\Omega$ 以下であること。

ー室温に近い温度で作動するよう、接続容量（粒子領域と絶縁の層厚に依存する電気容量）が可能な限り小さいこと。例えば、アイランドまたは粒子の直径が数ナノメートルであれば、周囲との間の容量が0.1アトファラッドから数アトファ

(8)

特表2001-524266

ラッド（例えば、1アトファラッド）となるよう努力しなければならない。

トンネル絶縁の厚さは0.7nmから3nmの間（例えば、1nm）である。

アイランドまたは粒子の間の最終的な絶縁厚は、アイランドまたは粒子相互の距離よりも均一な薄い絶縁層の層厚によって決定される。その結果、トンネル電流の均一性が向上する。

粒子堆積層の数は変化させることができる。積層数はサイズの密度と寸法に依存する。例えば、粒子間の距離が粒子の直径よりも大きければ、電極12, 14の間の空間を充填するのに数回（例えば3または4回）の粒子堆積が行われる。

図3に示したように、アイランドまたは粒子群が次に絶縁層20と制御グリッド22によって被覆される。

例えば、この種のデバイスは、本発明の導入部分においてすでに述べたK. Yano他の論文に記載されているように作動する。システムが有する容量によって決定される特定のポテンシャル V_g を印加すると、トンネル効果によって、電子リザーバ12, 14の間に形成されたチャンネルから導電性のアイランドまたは粒子に電子が移動する。この電子の移動はドレン電流の変動として表われる。電子1つの捕獲に関する履歴特性の存在によって、このように形成された基本セルに記憶効果を生じさせる。したがって、本発明によるデバイスは、例えば、グリッド電圧制御手段やドレン電流読取手段と組み合わせて用いることができる。

本発明に基づくデバイスの製造方法は、まず、電極または電子リザーバ12, 14の形成、次に、第1の導電性粒子またはアイランド群16の形成を含む。例えば、（平均粒径が3nmである）アモルファスシリコン粒子の堆積と、前述のK. Yanoの文献または「シリコンのナノ結晶による記憶素子」と題するS. Tiwariの応用物理レター、第68巻、第10号、ページ1377-1379、1996年に記載された熱処理を行う。

次に、H. Sasaki Momose他の論文「1.5nmゲートを有するMOSFETの高周波交流特性」IEEE国際電子デバイスミーティング、ページ105-108、1996年に記載された部分的加熱酸化によって絶縁分離層を形成する。

次に、シリコン多結晶の第2の薄い粒子堆積を行う。

(9)

特許 2001-524266

上記の堆積と酸化工程は必要な数だけ繰り返すことができる。絶縁層20を次に形成し、制御グリッド22を形成する。

上述の種々の工程は、絶縁体（例えば Si_3N_4 ）24で被覆された基板23に対して行う。次に、強くドーピングしたシリコン多結晶の厚い層を堆積させる。電極12, 14をシリコン多結晶層をエッチングして樹脂を除去するフォトリソグラフィで形成する。

従って、本発明によれば、少なくとも2つの導電性粒子の堆積が順次行われ、したがって、異なる堆積によってアイランド間の空間が充填されるか縮小される。

したがって、本発明によって、マイクロ電子デバイスのソースとドレン間に形成された導電性アイランドの電気特性の均一性が向上する。これらの特性は、粒子またはアイランドの位置がランダムであるにもかかわらず向上することになる。

【図1】

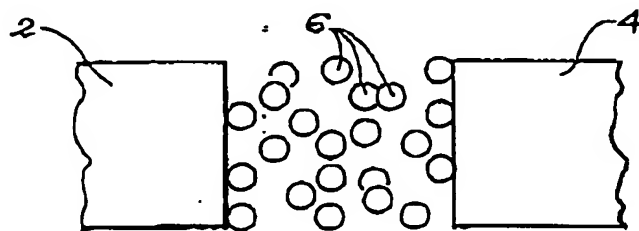


FIG. 1

(10)

特表 2001-524266

【図 2】

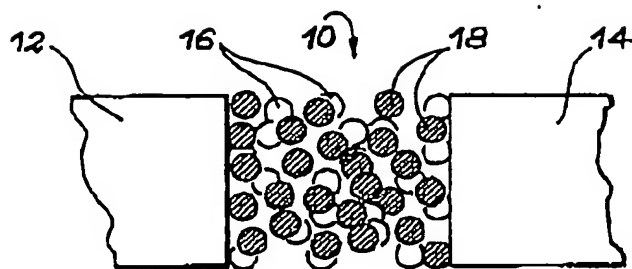


FIG. 2

【図 3】

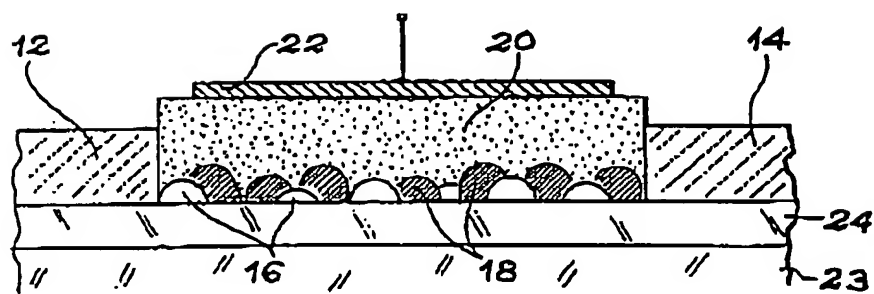


FIG. 3

(11)

特許2001-524266

【手続補正書】特許法第184条の8第1項

【提出日】平成11年5月14日(1999. 5. 14)

【補正内容】

この問題を解決するための方法のひとつに、導体の微小粒子を絶縁体層上に、たとえばCVD法または蒸着によって堆積させる方法があり、この方法は、例えば、W. Chen他による「平行ナノ構造中のナノスケール金属アイランドの77度Kにおけるクーロン・ブロッキング」と題する応用物理学レター、第66巻、第24号、ページ3383-3384、1995年に記載されている。

最終的にアイランドが設けられた(線状または長方形の)領域はリソエッチング法(例えばリフトオフ)によって画定される。これによって得られた構造を図1に模式的に示す。この図では、ナノメータ規模のアイランド6を間に挟むよう設けた電子リザーバ(例えば、トランジスタのソースとドレンである)が番号2と4で示されている。

この方法の大きな欠点は、アイランド6の位置がランダムであり、その結果、異なるアイランドのトンネル電流が広範囲に分布していることである。アイランドが形成された領域の両側に設けた電極間の総電流はアイランドの密度に非常に敏感で、サンプル毎のばらつきが大きい。

先行技術としては、さらに、量子アイランドとその種の装置の製造に関するヨーロッパ特許出願公開E P O 7 5 0 3 5 3 A 2を挙げることができる。

発明の開示

本発明の目的は、従来の方法によった場合に比較して均一な特性、特に電流、を得ることのできるアイランドを製造することである。

請求の範囲

1. 第1と第2の電子リザーバ(12, 14)と、前記第1と第2の電子リザーバ(12, 14)の間に設けられた導電性のアイランド(16, 18)を有する、クーロン・ブロッキング現象を利用した量子効果装置であって、

導電性のアイランド(16, 18)が、同一平面に形成され、トンネル絶縁層によって互いに隔離された、少なくとも1つの第1のアイランド群と少なくとも1つ

(12)

特発 2001-524266

の第2のアイランド群からなり、

導電性のアイランドを被覆する絶縁保護層(20)と、絶縁保護層(20)を被う制御電極(22)とを有することを特徴とする量子効果装置。

2. 第1のリザーバ(12)、第2のリザーバ(14)と制御電極(22)がそれぞれ、同じトランジスタのソース、ドレンとグリッドであることを特徴とする請求項1に記載の量子効果装置。

3. N(Nは2より大きい数)組のアイランド群を有し、最上層のものを除いて各アイランド群は、トンネル絶縁層によって隣接するアイランド群と絶縁されていることを特徴とする請求項1または2に記載の量子効果装置。

4. 前記請求項1ないし請求項3のいずれかの量子効果装置を有する記憶素子。

5. 制御電極(22)に印加された電圧を制御する手段と、電子リザーバを流れる電流を測定する手段とを有することを特徴とする請求項4に記載の記憶素子。

6. a) 第1と第2の電子リザーバ(12,14)を形成する工程と、

b) 第1の導電性粒子またはアイランド(16)群を形成する工程と、

c) 前記アイランド群の上に非導電性のトンネル絶縁層を形成する工程と、

d) 非導電性のトンネル絶縁層の上に、アイランド群が同一平面上に位置するよ

うに他の導電性粒子またはアイランド(18)群を形成する工程とを有することを特徴とする量子効果装置またはマイクロ電子装置の製造方法。

7. 第1と第2の電子リザーバが同一トランジスタのソースとドレンであることを特徴とする請求項6に記載の量子効果装置またはマイクロ電子装置の製造方法。

8. 工程c)とd)をN回繰り返すことを特徴とする請求項6または7に記載された量子効果装置またはマイクロ電子装置の製造方法。

9. さらに絶縁保護層(20)と制御グリッド(22)の形成工程を含むことを特徴とする請求項6ないし8のいずれかに記載の量子効果装置またはマイクロ電子装置の製造方法。

(13)

符表 2 0 0 1 - 5 2 4 2 6 6

【国際調査報告】

INTERNATIONAL SEARCH REPORT

Int. Appl. No.

PCT/FR 98/00889

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H01L29/76

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Examinee was duly searched using the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Description of documents with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 750 353 A (MATSUSHITA ELECTRIC INDUSTRIAL CO LTD) 27 December 1996 see column 9, line 35 - column 11, line 4; figures 5A-7	1-9
A	PATENT ABSTRACTS OF JAPAN vol. 95, no. 11, 26 December 1995 & JP 07 226522 A (HITACHI LTD), 22 August 1995 see abstract	1-9
A	KANJO YANO ET AL: "ROOM-TEMPERATURE SINGLE-ELECTRON MEMORY" IEEE TRANSACTIONS ON ELECTRON DEVICES, vol. 41, no. 9, 1 September 1994, pages 1628-1638, XP000466806 cited in the application see the whole document	1-4
-/-		

☒ Further documents are cited in the continuation of box C.☒ Patent family members are listed in annex.

* Special categories of cited documents:

- "A" documents evoking the general state of the art which is not considered to be of particular relevance
- "E" earlier documents but published on or after the international filing date
- "L" documents which may throw doubts on priority claim(s) of which is cited to establish the publication date of another claim or other special reason (as specified)
- "D" documents referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in context with the application but cited to understand the principle or theory underlying the invention
- "X" documents of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" documents of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "A" document member of the same patent family

Date of the actual completion of the international search

21 August 1998

Date of mailing of the international search report

27/08/1998

Name and mailing address of the ISA

European Patent Office, P.O. Box 5010 Patentstrasse 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2010, Te. 31 031 401 001
Fax (+31-70) 340-2010

Authorized officer

Baillet, B

Form PCT/ISA/210 (second sheet) July 1992

(14)

特許 2 0 0 1 - 5 2 4 2 6 6

INTERNATIONAL SEARCH REPORT

Int. Patent Application No.

PCT/FR 98/00889

C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	TIWARI S ET AL: "A SILICON NANOCRYSTALS BASED MEMORY" APPLIED PHYSICS LETTERS, vol. 68, no. 10, 4 March 1996, pages 1377-1379, XP000582303 cited in the application	
A	H. SASAKI MOMOSE ET AL.: "High-frequency AC characteristics of 1.5nm gate oxide MOSFETs" INTERNATIONAL ELECTRON DEVICES MEETING 1996 TECHNICAL DIGEST, B - 11 December 1996, pages 105-108, XP002052597 SAN FRANCISCO, CA, US cited in the application	

Form PCT/ISA/210 (continuation of section III) (July 1999)

(15)

特許 2 0 0 1 - 5 2 4 2 6 6

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.
PCT/FR 98/00889

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 750353 A	27-12-1996	JP 9069630 A	11-03-1997
		US 5731598 A	24-03-1998

Form PCT/ISA/210 (patent family member) July 1992

(16)

特表2001-524266

フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

テ-マ-ト (参考)

H O 1 L 29/792